31084824 A **APR 1986** 

(54) SÉMICONDUCTOR IC

(11) 61-84824 (A)

(43) 30.4.1986 (19) JP

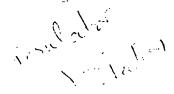
(22) 3.10.1984

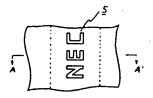
(21) Appl. No. 59-207457 (22) 3. (71) NEC CORP (72) KENJI OKA

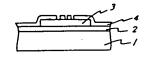
(51) Int. Cl\*. H01L21 02 H01L21 88

PURPOSE: To reduce a chip area and cost thereof by forming accessory pattern such as trademark, name, date of production and the like on an insulating film on metallic wiring.

CONSTITUTION: After a prescribed element is formed performing desirable impurity diffusion on a semiconductor substrate 1, an Si oxide film 2 is formed on the surface thereof, then an A1 wiring 3 is formed making a window for using an electrode contace. Thereafter, an Si oxide film 4 is formed for the purpose of protecting surface by CVD method. Secondly, accessory pattern such as character, figure, sign and the like are formed at wide and suitable place of the oxide film 4 on the Al wiring 3 when an aperture is made for use of bonding pad in the CVD Si oxide film 4.







BEST AVAILABLE COPY

⑩日本国特許庁(JP)

(1) 特許出願公開

# ⑫公開特許公報(A)

昭61-84824

@Int.Cl.4

識別記号

庁内整理番号

砂公開 昭和61年(1986)4月30日

H 01 L 21/02 // H 01 L 21/88 7168-5F 6708-5F

審査請求 未請求 発明の数 1 (全2頁)

図発明の名称 半導体集積回路

②特 顧 昭59-207457

**愛出 顧昭59(1984)10月3日** 

砂発 明 者 岡

健 次

東京都港区芝5丁目33番1号 日本電気株式会社内

東京都港区芝5丁目33番1号

⑪出 顧 人 日本電気株式会社

②代理人 弁理士内原 晋

# BEST AVAILABLE COPY

明細層

発明の名称

半導体渠積回路

#### 特許請求の範囲

配線層かよびとれを受り絶縁級を有する半導体 集積回路にかいて、前記配線層上の前記絶縁膜に 文字、数字かよび配号の少なくとも一つを形成し たことを将波とする半導体集積回路。

### 発明の辞母な説明

(産業上の利用分野)

本発明は半導体集改回路の構造の改良に関する。 (従来の技術)

使来、半導体無機回路はトランジスタ、ダイオード、延気等値々な点子を含むが、これらの機能 気子の他にも低々のパターンを入れている。この 例としては、目合せパターン、社様、品名、作成 年度、各種のチェック用パターン等がある。これ らのパターン(以下、アクセサリーパターンと称 す)の占める面積はパターンの線少化に伴ない無 視できない大きさになって来ている。

## (発明が解決しようとする問題点)

現在、半導体乗界はウェハーの大型化、チップサイズの縮少化でコストダウンを進めているわけであるが、アクセサリーパターンとしても例外ではない。ところが、アクセサリーパターンを視覚的に判認できる大きさを要求するものが多く、なかなか弱少化できない。このアクセサリーパターンを設能素子とは別の領域に及けるとチップ而なの縮少ができずコストアップの要因の一つにたる欠点があった。

(問題点を解決するための手段)

本発明は、社概、品名、作成年月等のアクセサリーパターンを金銭配線上の絶線線に形成するととを特徴とする。